

# LES SYSTEMES SEQUENTIELS

## 1 - INTRODUCTION (Du combinatoire au séquentiel):

### 1-1 Rappel sur les systèmes combinatoires

**Définition :** Un système est dit combinatoire si l'état des sorties ne dépend à tout instant que de l'état des entrées. Ceci indépendamment de l'instant choisi.

#### Exemple :

Le dispositif présenté ci dessous est utilisé pour estampiller des pièces qui arrivent au poste de marquage par gravité.

#### **Chaîne d'action :**

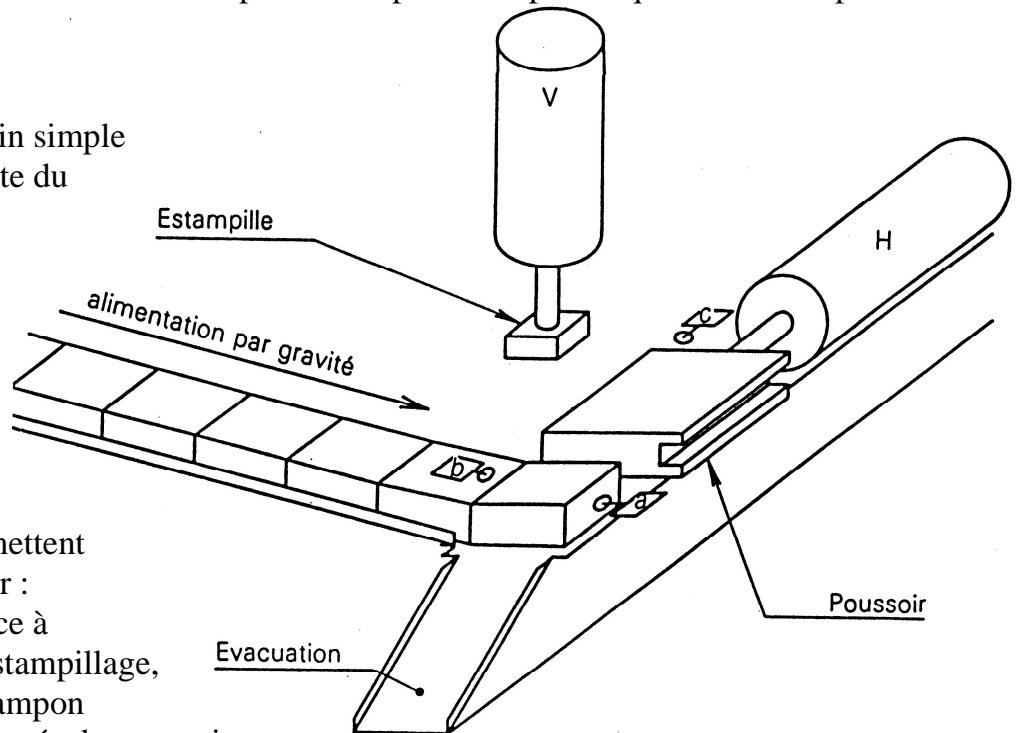
L'actionneur V est un vérin simple effet qui permet la descente du tampon d'estampillage.

L'actionneur H est un vérin simple effet qui permet l'évacuation de la pièce estampillée.

#### **Chaîne d'acquisition :**

Trois contacts a, b, c permettent respectivement de détecter :

- la présence d'une pièce à l'emplacement de l'estampillage,
- la position basse du tampon
- et enfin la position rentrée du poussoir.



**Le fonctionnement est décrit par l'enchaînement des tâches suivant :**

- 1- A l'état initial, les deux vérins sont dans la position de la figure et il n'y a pas de pièces au poste de marquage.  
On a donc  $a = 0$ ,  $b = 0$ ,  $c = 1$ ,  $V = 0$  et  $H = 0$
- 2- Lorsque qu'une pièce arrive en a le vérin vertical V est alimenté pour estampiller.
- 3- En fin de course V est en position sortie et H est alimenté.
- 4- Dès que le vérin libère le contact c, le vérin V n'est plus alimenté. V étant plus rapide que H, il n'y a pas de percussion entre le poussoir et le tampon d'estampillage.
- 5- Enfin lorsque le contact a détecte l'évacuation de la pièce, le vérin H peut reculer permettant l'alimentation par gravité d'une nouvelle pièce (c est actionné avant a)

#### **Travail demandé :**

1 Construire la table de vérité

2 Exprimer les équations logiques  $H = f(a, b, c)$  et  $V = f(a, b, c)$  simplifiées par la méthode des tableaux de Karnaugh.

a	b	c	V	H
0	0	1	0	0
1	0	1	1	0
1	1	1	1	1
1	1	0	0	1
1	0	0	0	1
0	0	0	0	0

V	bc			
	00	01	11	10
a	0	0		
1	0	1	1	0

$$V = a \cdot c$$

H	bc			
	00	01	11	10
a	0	0		
1	1	0	1	1

$$H = a \cdot b + a \cdot \bar{c}$$

$$= a \cdot (b + \bar{c})$$

Ou mieux :

H	bc			
	00	01	11	10
a	0	0		
1	1	0	1	1

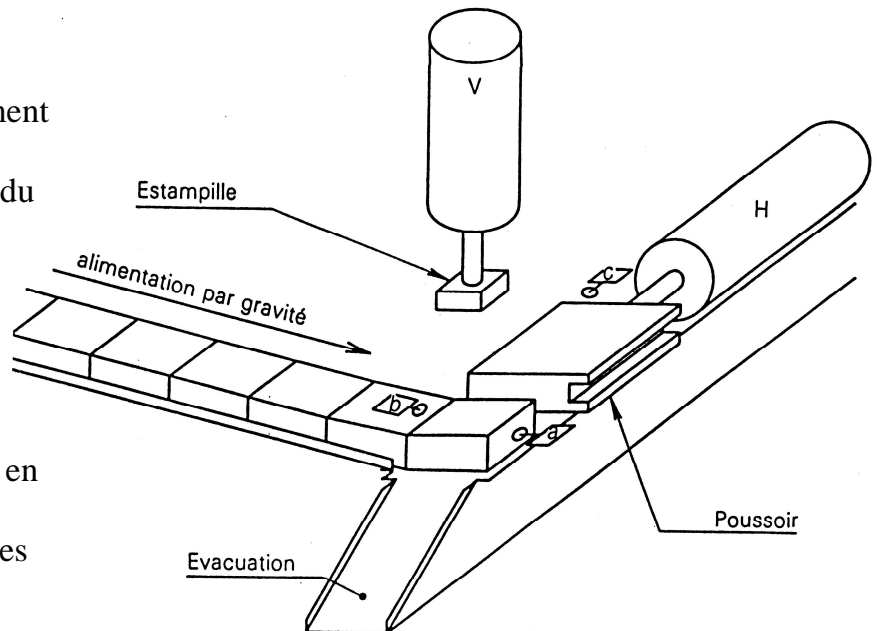
$$H = b + a \cdot \bar{c}$$

## 1-2 Systèmes séquentiels

**Définition :** Un système est dit séquentiel si l'état de ses sorties à l'instant t dépend de l'état des entrées à l'instant t mais aussi des états antérieurs de ces mêmes entrées.

### Exemple :

Le dispositif précédent est légèrement modifié : Le vérin V a maintenant une vitesse plus lente que celle de du vérin H. Il est donc nécessaire de demander la remontée du vérin V avant la sortie du vérin H.



### Travail demandé :

Dresser la table de vérité et mettre en évidence l'aspect séquentiel en montrant que pour un même état des entrées on peut avoir un état des sorties différent.

a	b	c	V	H
0	0	1	0	0
1	0	1	1	0
1	1	1	0	0
1	0	1	0	1
1	0	0	0	1
0	0	0	0	0

V	bc			
	00	01	11	10
a	0	0		
1	0	10	0	

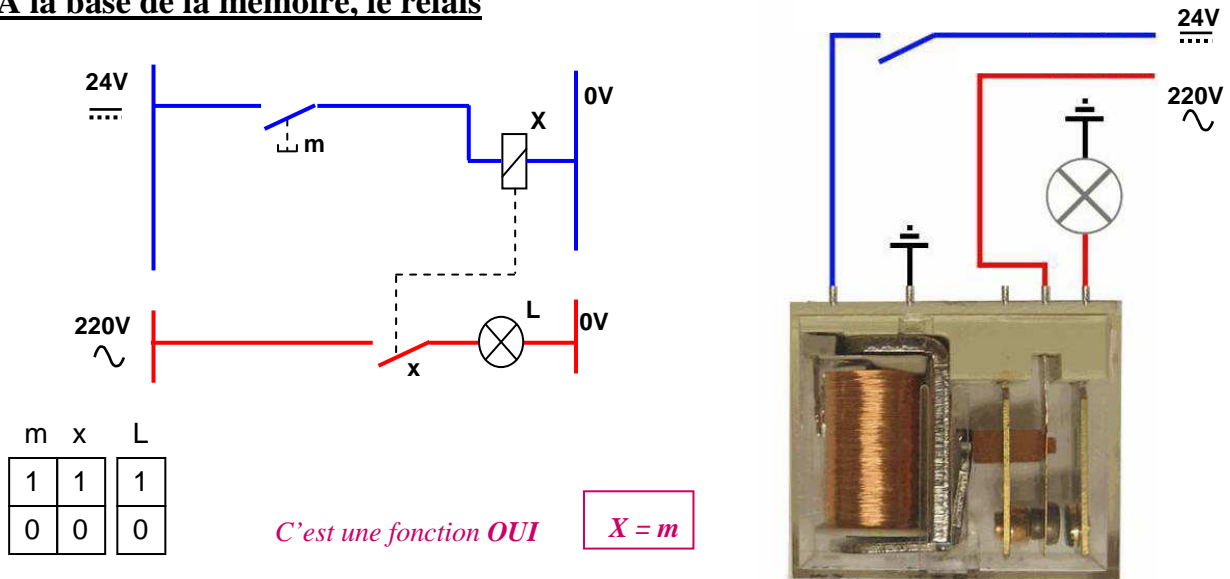
La détermination de l'équation de combinatoire est impossible

H	bc			
	00	01	11	10
a	0	0		
1	1	01	0	

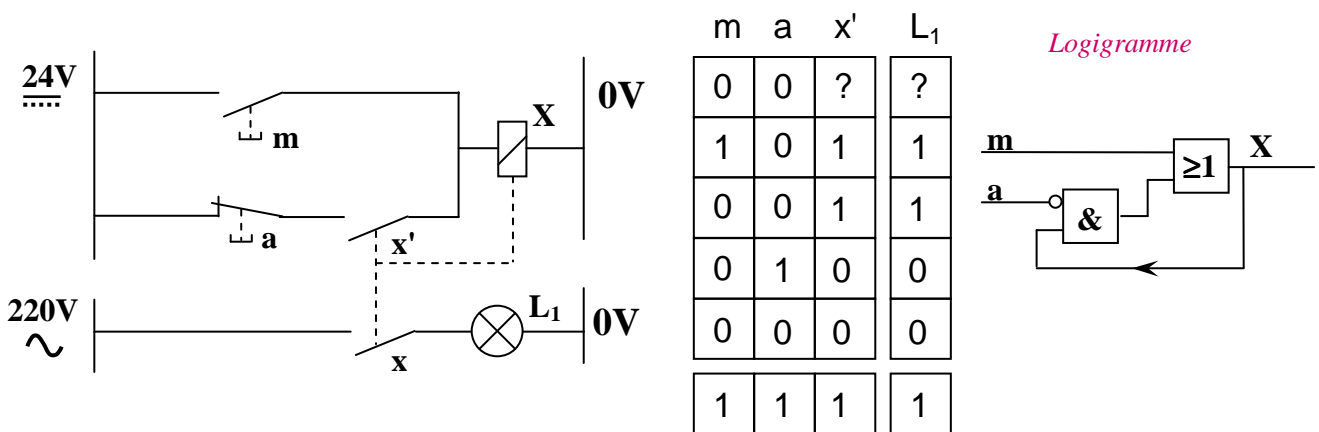
On constate que pour un même état des entrées on a un état des sorties différentes. Le système est séquentiel. La solution devra contenir une **mémoire**.

## 2 - REALISATION DE MEMOIRES PAR UN CABLAGE ELECTRIQUE

### 2-1 A la base de la mémoire, le relais

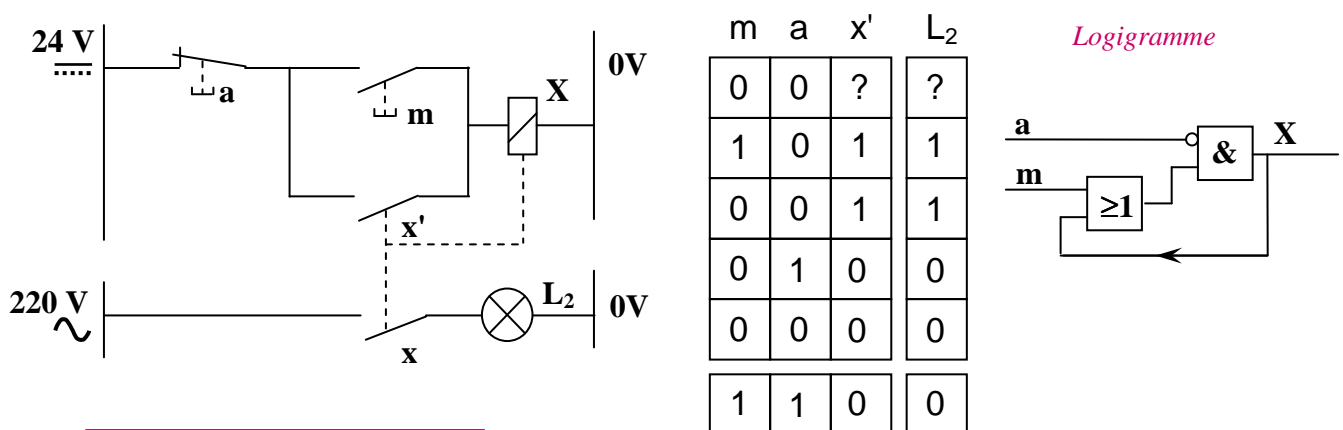


### 2-2 Réalisation d'une mémoire à marche prioritaire (ou à inscription prioritaire)



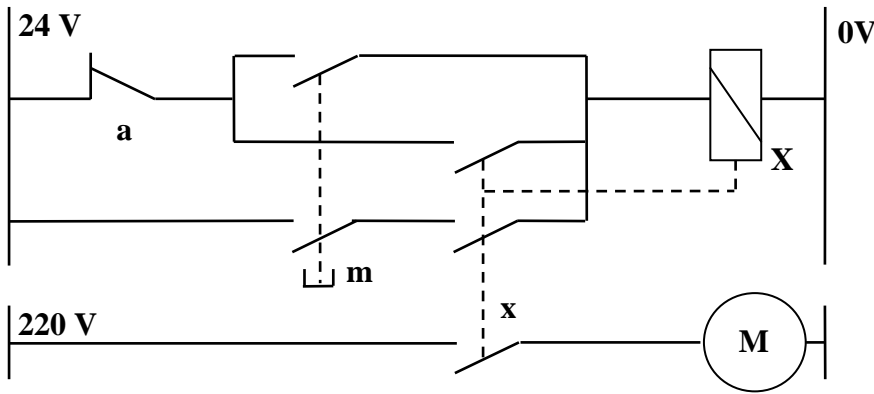
$X = m + \bar{a}.x$

### 2-3 Réalisation d'une mémoire à arrêt prioritaire (ou à effacement prioritaire)



$X = \bar{a} . (m + a.x)$

**2-4 Réalisation d'une mémoire à entrées simultanées passives**



$$X = \bar{a} \cdot (x + m) + m \cdot x$$

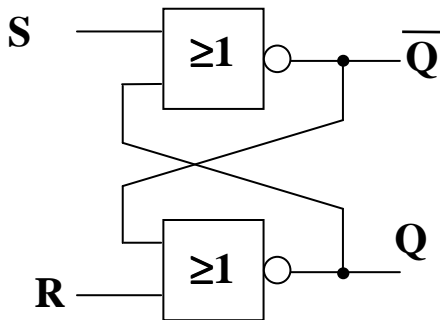
m	a	x	M
1	0	1	1
1	1	1	1
0	1	0	0
1	1	0	0

Conclusion :

m	a	X <sub>n</sub>
0	0	X <sub>n-1</sub>
1	1	X <sub>n-1</sub>

**3 - REALISATION DE MEMOIRES AVEC DES CELLULES LOGIQUES**

**3-1 Réalisation de bascules RS avec des fonctions logiques NOR :**

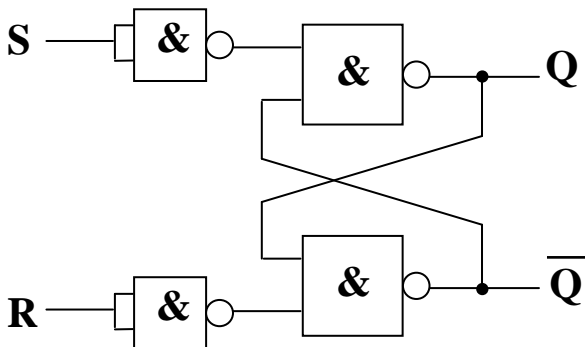


S	R	Q	Q̄
0	0	?	?
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

$$Q = R + S + Q = R \cdot (S + Q) = Q = \bar{R} \cdot (S + Q)$$

C'est bien équivalent à  $X = \bar{a} \cdot (m + x)$

**3-2 Réalisation de bascules RS avec des fonctions logiques NAND :**



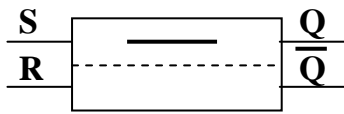
S	R	Q	Q̄
0	0	?	?
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	1	1

$$Q = S + \bar{R} \cdot Q$$

C'est bien équivalent à  $X = m + \bar{a} \cdot x$

## 4 - REPRESENTATION DES MEMOIRES

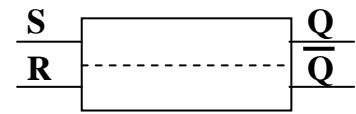
Mémoire à  
inscription prioritaire



Mémoire à  
effacement prioritaire



Mémoire à entrées  
simultanées passives



## 5 - BASCULES ASYNCHRONES

### 5-1 Bascule JK asynchrone.

La bascule JK se comporte comme une bascule SR mais pour la combinaison 1-1, il y a inversion des sorties.

Symbole de la  
Bascule JK  
asynchrone

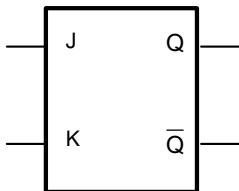
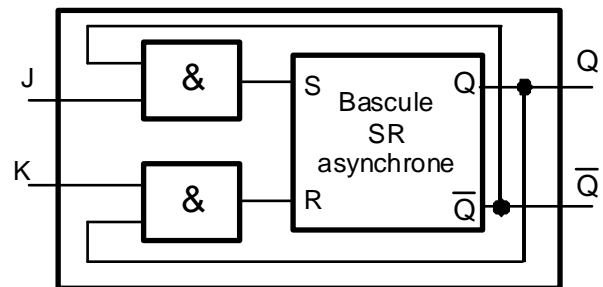


Table de vérité

J	K	$Q_n$	$\overline{Q}_n$
0	0	$Q_{n-1}$	$\overline{Q}_{n-1}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q}_{n-1}$	$Q_{n-1}$

Réalisation



### 5-2 Bascule D asynchrone.

La bascule D est dérivée de la bascule JK avec la condition  $J = \overline{K} = D$ .

Symbole de la  
Bascule D  
asynchrone

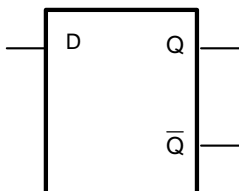
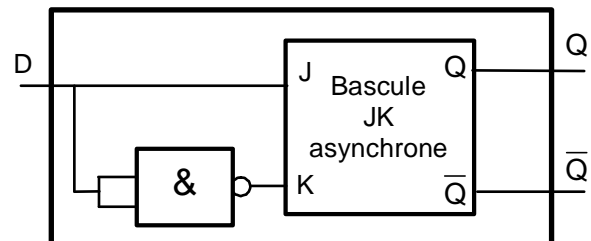


Table de vérité

D	$Q_n$	$\overline{Q}_n$
0	0	1
1	1	0

L'entrée D est copiée sur la  
sortie Q

Réalisation



Cette bascule sous sa forme asynchrone a peu d'utilité, par contre sa forme synchrone est très utilisée.

## 6- MEMOIRES BISTABLES SYNCHRONES (ou Bascules synchrones).

### 6-1 Nécessité de "synchroniser".

Les circuits précédents sont dits asynchrones car ils ne permettent pas de contrôler les instants de commutation des entrées et des sorties. En effet, les informations présentes sur les entrées du système sont immédiatement prises en compte.

Un fonctionnement sera dit **synchrone à un événement extérieur (signal)**, lorsque la prise en compte de l'évolution des entrées ne s'effectue qu'à des instants précis.

Ce mode synchrone est donc une amélioration du mode asynchrone puisqu'il permet :

- de contrôler les instants de commutation,
- de limiter les bruits parasites en ne prenant en compte que les changements d'état aux instants désirés.

Dans le cas le plus général, le signal de synchronisation que l'on retrouve est un signal que l'on appelle signal d'horloge (car ce signal a une période régulière dans le temps).

## 6-2 Différents types de synchronisation par rapport au signal d'horloge.

### Synchronisation sur Niveau haut ou bas.

Dans ce cas la prise en compte des informations d'entrées se fait soit sur niveau haut, soit sur niveau bas.

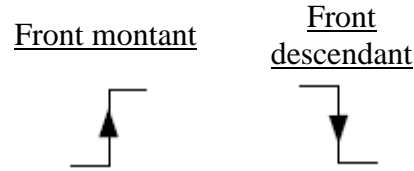
Cela veut dire que si un changement de l'état des entrées se fait pendant le niveau actif (qu'il soit haut ou bas), alors il est immédiatement pris en compte par le système.

Par contre si le changement se fait pendant le niveau inactif, alors le système ne le prendra pas en compte.

### Synchronisation sur front montant ou descendant.

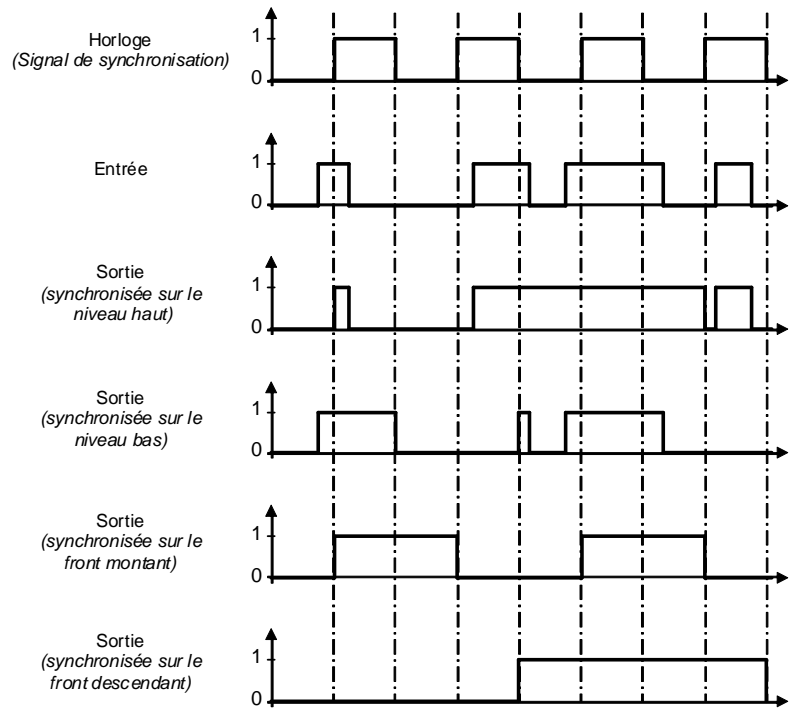
On définit un front comme le passage d'un niveau (0 ou 1) vers le niveau complémentaire (1 ou 0).

Deux cas possibles :



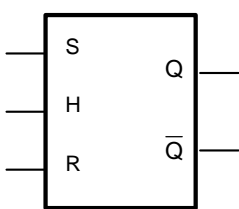
Dans ce cas la prise en compte des informations d'entrées se fait pendant un temps très court. Le temps de la transition dépend des composants utilisés, mais il est de l'ordre de la nanoseconde. Ce système a l'avantage d'être beaucoup plus fiable mais il est plus complexe à mettre en œuvre.

### Exemples



## 6-3 Bascule SR synchrone appelées SRH (ou en anglais SRT).

### Bascule SR synchrone sur niveau haut

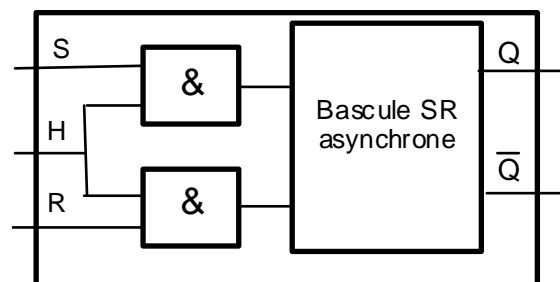


(H étant le signal de synchronisation)

Table de vérité

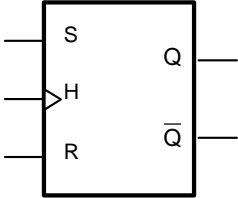
H	S	R	$Q_n$	$\overline{Q}_n$
0	x	x	$Q_{n-1}$	$\overline{Q}_{n-1}$
1	0	0	$Q_{n-1}$	$\overline{Q}_{n-1}$
1	0	1	0	1
1	1	0	1	0
1	1	1	A éviter mais possible	

Réalisation



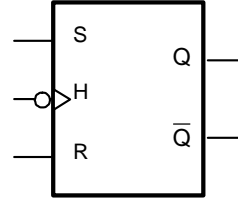
**6-4 Bascules SRH avec d'autres types de détection du signal de synchronisation :**

**Bascule SR synchrone sur front montant**



H	S	R	$Q_n$	$\overline{Q}_n$
0	x	x	$Q_{n-1}$	$\overline{Q}_{n-1}$
1	x	x	$Q_{n-1}$	$\overline{Q}_{n-1}$
↑	0	0	$Q_{n-1}$	$\overline{Q}_{n-1}$
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	A éviter mais possible	

**Bascule SR synchrone sur front descendant**



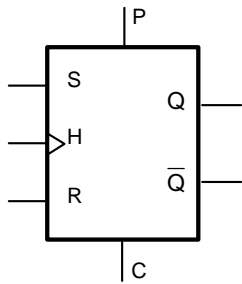
H	S	R	$Q_n$	$\overline{Q}_n$
0	x	x	$Q_{n-1}$	$\overline{Q}_{n-1}$
1	x	x	$Q_{n-1}$	$\overline{Q}_{n-1}$
↓	0	0	$Q_{n-1}$	$\overline{Q}_{n-1}$
↓	0	1	0	1
↓	1	0	1	0
↓	1	1	A éviter mais possible	

**6-5 Bascules D et JK synchrones appelées DH et JKH (ou en anglais DT et JKT).**

Les bascules D et JK asynchrones peuvent aussi être synchronisées sur un signal d'horloge.

**Initialisation des bascules (ou mémoires) synchrones.**

Exemple pour une bascule SRH équipée d'entrées de forçage asynchrones.



Les entrées S et R sont synchrones avec l'horloge H.

Les entrées P (Preset) et C (Clear) sont asynchrones, indépendantes de l'horloge H.

Si P=0 et C=0 ⇒ Fonctionnement synchrone,

Si P=0 et C=1 ⇒ Forçage de Q=0 quel que soit l'état de S, R et H,

Si P=1 et C=0 ⇒ Forçage de Q=1 quel que soit l'état de S, R et H,

Si P=1 et C=1 ⇒ Combinaison inutilisée.

**6-6 Quelques applications des bascules.**

On utilise l'association de plusieurs bascules pour effectuer des circuits logiques séquentiels réalisant :

- des registres : circuit permettant d'enregistrer provisoirement un « mot » binaire en vue de son transfert ultérieur dans un autre circuit (pour traitement, stockage, affichage,...),
- des compteurs : circuit permettant de compter un certain nombre d'impulsions à une certaine fréquence (Un compteur est dit modulo (ou base) M lorsqu'il peut compter M impulsions de 0 à M-1, et qu'il est remis à zéro à la M<sup>ième</sup>),
- des mémoires vives : circuit permettant de stocker des informations binaires qui évoluent au cours du fonctionnement du gestionnaire de la partie commande. Ces mémoires vives sont appelées RAM (Random Access Memory) et sont organisées en mots binaires.